

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332602

(43)Date of publication of application : 30.11.2000

(51)Int.Cl.

H03L 7/08  
H03L 7/099  
H03L 7/093

(21)Application number : 11-140585

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 20.05.1999

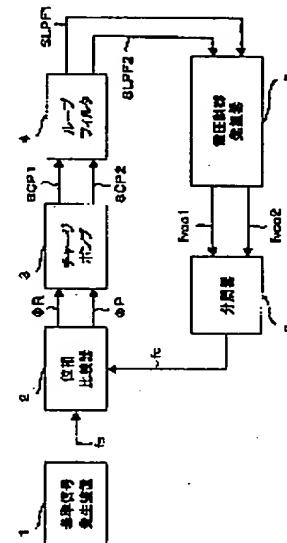
(72)Inventor : YOKONAGA HIROYUKI  
SAKAKURA MAKOTO  
ANDO TOSHIAKI  
ISHIDA KAORU

## (54) PLL CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To cancel fluctuation to ground or a power source and influences of noise from electromagnetic field interference from an antenna by equipping a voltage control oscillator for oscillation outputting a differential voltage signal and a frequency divider for frequency dividing the differential output signal of the voltage control oscillator and outputting it as another signal of a phase comparator.

**SOLUTION:** In a voltage control oscillator 5, an oscillation frequency is controlled by a potential difference between an SLPF1 and an SLPF2 of output signals of a loop filter 4, output signals fvco1 and fvco2 are differentially outputted and its output differential voltage signal is inputted to a frequency divider 6. The frequency divider 6 inputs the differential voltage signals thus inputted to a phase comparator 2 as output signals by frequency dividing them into voltage signals fc. In this way, since all the voltage signal paths are received and delivered with the differential voltage signals, it is possible to cancel influences of noise accompanying potential change of a ground or a power



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-332602  
(P2000-332602A)

(43)公開日 平成12年11月30日(2000.11.30)

(51)Int.Cl.<sup>7</sup>  
H 0 3 L 7/08  
7/099  
7/093

識別記号

F I  
H 0 3 L 7/08

テマコード\*(参考)  
K 5 J 1 0 6  
F  
E

審査請求 未請求 請求項の数8 O.L (全 9 頁)

(21)出願番号 特願平11-140585

(22)出願日 平成11年5月20日(1999.5.20)

(71)出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72)発明者 横長 宏之  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72)発明者 坂倉 真  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74)代理人 100092794  
弁理士 松田 正道

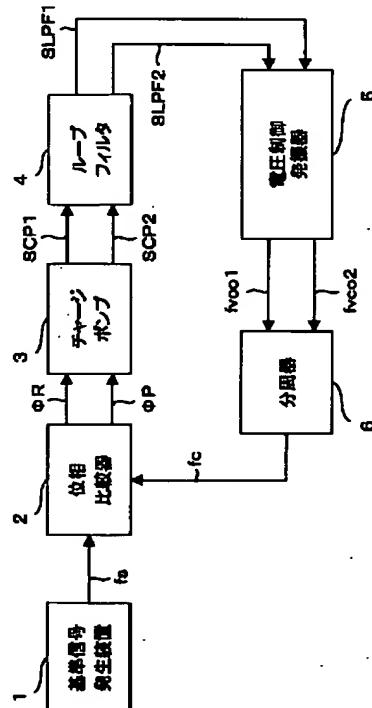
最終頁に続く

(54)【発明の名称】 P L L回路

(57)【要約】

【課題】 従来のPLL回路は、チャージポンプの出力信号、電圧制御発振器の入力制御信号及び発振出力信号はグランド電位に対する電圧情報で信号を受け渡す構成であり、電源やグランドに重畠される外乱からの電位変化に対し、電圧制御発振器の発振キャリアが強い影響を受ける。

【解決手段】 位相比較器2からの位相の進み／遅れ情報をもとに差動信号SCP1、SCP2を出力するチャージポンプ3と、差動信号SCP1、SCP2をフィルタリングするバランス型ループフィルタ4と、ループフィルタ出力の差動信号SLPF1、SLPF2を制御電圧とし動作する電圧制御発振器5とを備える。



## 【特許請求の範囲】

【請求項1】 所定の周波数の基準信号を出力する基準信号発生手段と、その出力された基準信号ともう1つの信号との位相差情報を出力する位相比較器と、その出力された位相差情報に基づき電荷のチャージ、ディスチャージを行い、差動電圧信号を出力するチャージポンプ回路と、その出力された差動電圧信号をフィルタリングするループフィルタと、そのループフィルタから出力される差動電圧信号に応じて発振周波数を制御し、差動電圧信号を発振出力する電圧制御発振器と、その電圧制御発振器の差動出力信号を分周し、前記位相比較器の前記もう1つの信号として出力する分周器とを備えたことを特徴とするPLL回路。

【請求項2】 前記電圧制御発振器に制御電圧として入力される前記ループフィルタからの前記差動電圧信号は、前記電圧制御発振器内のバラクタダイオードの両端子に与えられることを特徴とする請求項1記載のPLL回路。

【請求項3】 前記電圧制御発振器は、共振回路を形成する共振用インダクタと、その共振用インダクタの一方の端子に接続された第1のコンデンサと、前記共振用インダクタの他方の端子に接続された第2のコンデンサと、前記第1、第2のコンデンサの他方の端子間に接続されたバラクタダイオードと、そのバラクタダイオードの一方の端子に一方の端子が接続された第1のチョークコイルと、前記バラクタダイオードの他方の端子に一方の端子が接続された第2のチョークコイルとを有するものであって、前記第1のチョークコイルの他方の端子、および前記第2のチョークコイルの他方の端子を前記制御電圧の入力端子とすることを特徴とする請求項2記載のPLL回路。

【請求項4】 前記ループフィルタは、第1の抵抗と、その第1の抵抗の一方の端子に一方の端子が接続された第2の抵抗と、前記第1の抵抗の前記一方の端子に一方の端子が接続された第3の抵抗と、前記第2の抵抗の他方の端子とグランドとの間に接続された第1のコンデンサと、前記第3の抵抗の他方の端子とグランドとの間に接続された第2のコンデンサと、第4の抵抗と、その第4の抵抗の一方の端子に一方の端子が接続された第5の抵抗と、前記第4の抵抗の前記一方の端子に一方の端子が接続された第6の抵抗と、前記第5の抵抗の他方の端子とグランドとの間に接続された第3のコンデンサと、前記第6の抵抗の他方の端子とグランドとの間に接続された第4のコンデンサとを有し、前記第1の抵抗の他方の端子を第1の入力端子とし、前記第3の抵抗の前記他方の端子を第1の出力端子とし、前記第4の抵抗の他方の端子を第2の入力端子とし、前記第6の抵抗の前記他方の端子を第2の出力端子とするものであって、前記差動電圧信号が、前記第1及び第2の入力端子に入力され、前記第1及び第2の出力端子から出力されることを

(2) 特徴とする請求項1記載のPLL回路。

【請求項5】 前記ループフィルタは、第1の抵抗と、その第1の抵抗の一方の端子に一方の端子が接続された第2の抵抗と、前記第1の抵抗の前記一方の端子に一方の端子が接続された第3の抵抗と、第4の抵抗と、その第4の抵抗の一方の端子に一方の端子が接続された第5の抵抗と、前記第4の抵抗の前記一方の端子に一方の端子が接続された第6の抵抗と、前記第2の抵抗の他方の端子と前記第5の抵抗の他方の端子との間に接続された第1のコンデンサと、前記第3の抵抗の他方の端子と前記第6の抵抗の他方の端子との間に接続された第2のコンデンサとを有し、前記第1の抵抗の他方の端子を第1の入力端子とし、前記第3の抵抗の前記他方の端子を第1の出力端子とし、前記第4の抵抗の他方の端子を第2の入力端子とし、前記第6の抵抗の前記他方の端子を第2の出力端子とするものであって、前記差動電圧信号が、前記第1及び第2の入力端子に入力され、前記第1及び第2の出力端子から出力されることを特徴とする請求項1記載のPLL回路。

【請求項6】 前記チャージポンプは、出力端子の一方の端子の電位が他方の端子の電位より常に高くなる逆相信号を出力するものであって、前記ループフィルタに対して電荷のチャージ、ディスチャージを行うことを特徴とする請求項1記載のPLL回路。

【請求項7】 前記チャージポンプは、コレクタが直流電圧端子に接続された第1のバイポーラトランジスタと、その第1のバイポーラトランジスタのエミッタにコレクタが接続された第2のバイポーラトランジスタと、その第2のバイポーラトランジスタのエミッタにコレクタが接続された第3のバイポーラトランジスタと、その第3のバイポーラトランジスタのエミッタにコレクタが接続され、エミッタがグランドに接続された第4のバイポーラトランジスタと、前記第1のバイポーラトランジスタのコレクタと前記第3のバイポーラトランジスタのコレクタとの間に接続された第1の抵抗と、前記第3のバイポーラトランジスタのコレクタとグランドとの間に接続された第2の抵抗とを有し、前記第2のバイポーラトランジスタのベースと前記第3のバイポーラトランジスタのベースとが接続され、前記第1のバイポーラトランジスタのベースと前記第4のバイポーラトランジスタのベースとが接続されたものであって、前記第1のバイポーラトランジスタのベースを第1の入力端子とし、前記第3のバイポーラトランジスタのベースを第2の入力端子とし、前記第1のバイポーラトランジスタのエミッタを第1の出力端子とし、前記第3のバイポーラトランジスタのエミッタを第2の出力端子とすることを特徴とする請求項6記載のPLL回路。

【請求項8】 前記各バイポーラトランジスタの代わりに電界効果トランジスタを用いるものであって、それぞれコレクタをドレイン、エミッタをソース、ベースをゲ

ートとして接続することを特徴とする請求項7記載のPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、無線通信機器における、PLL回路に関し、チャージポンプループフィルタ間、ループフィルター電圧制御発振器間、電圧制御発振器一分周器間の信号を差動で受渡すことで、外乱からの同相ノイズの影響をキャンセルすることを実現するPLL回路に関するものである。

【0002】

【従来の技術】従来の技術について図を用いて説明する。図12は、従来用いられてきた一般的なPLL回路のブロック図を示している。上記図12を参照して構成の説明をする。

【0003】従来のPLL回路は、基準信号 $f_s$ を発生する基準信号発生装置1と、制御電圧SLPFにより発振信号 $f_{vco}$ を出力する電圧制御発振器112と、電圧制御発振器出力 $f_{vco}$ を入力信号とし、分周信号 $f_c$ を出力する分周器113と、前記基準信号 $f_s$ と前記分周信号 $f_c$ の位相の進み／遅れ情報に対応する出力信号 $\Phi_R$ 、 $\Phi_P$ を出力する位相比較器2と、前記位相比較器2の出力信号 $\Phi_R$ 、 $\Phi_P$ をもとに、アナログ信号SCPを出力するチャージポンプ回路110と、前記チャージポンプ出力信号SCPをフィルタリングし、前記電圧制御発振器112に対し制御電圧信号としてSLPFを出力するループフィルタ111とを備えた構成である。

【0004】

【発明が解決しようとする課題】しかしながら上記従来のPLL回路の構成では、大電流動作をする送信側電力増幅器による起ち上がり時のグランド、電源に対する変動や、アンテナから輻射された電磁波により受ける電磁界干渉など外乱からのノイズの影響を受け、電圧制御発振器の発振キャリアが強い影響を受けるという課題がある。

【0005】本発明は、従来のPLL回路のこのような課題を考慮し、グランド、電源、アンテナから輻射された電磁波により受ける電磁界干渉など外乱からの影響を抑えることを可能とするPLL回路を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、所定の周波数の基準信号を出力する基準信号発生手段と、その出力された基準信号ともう1つの信号との位相差情報を出力する位相比較器と、その出力された位相差情報に基づき電荷のチャージ、ディスチャージを行い、差動電圧信号を出力するチャージポンプ回路と、その出力された差動電圧信号をフィルタリングするループフィルタと、そのループフィルタから出力される差動電圧信号に応じて発振周波数を制御し、差動電圧信号を発振出力する電圧制御

発振器と、その電圧制御発振器の差動出力信号を分周し、位相比較器のもう1つの信号として出力する分周器とを備えたPLL回路である。

【0007】

【発明の実施の形態】以下に、本発明をその実施の形態を示す図面に基づいて説明する。

(第1の実施の形態) 図1は、本発明にかかる第1の実施の形態におけるPLL回路を示すブロック図である。

図1において、1は基準信号発生装置、2は位相比較器、3はチャージポンプ回路、4はループフィルタ、5は電圧制御発振器、6は分周器である。

【0008】以上のような構成の本実施の形態におけるPLL回路は次のように動作する。図1において、電圧制御発振器5は、ループフィルタ4の出力信号であるSLPF1、SLPF2の電位差により発振周波数が制御され、出力信号 $f_{vc01}$ 、 $f_{vc02}$ を差動出力し、その出力差動電圧信号は分周器6に入力される。こうして入力された差動電圧信号に対して分周器6は、電圧信号 $f_c$ に分周することで出力信号として、位相比較器2に入力する。位相比較器2は、基準信号発生装置1による基準信号 $f_s$ と分周器6による出力分周信号 $f_c$ の位相情報を対して、位相の進み情報 $\Phi_R$ ／遅れ情報 $\Phi_P$ をチャージポンプ3に出力する。チャージポンプ3はこの位相の進み情報 $\Phi_R$ ／遅れ情報 $\Phi_P$ をもとに、チャージポンプ出力端子の一方の端子の電位に対して、他方の端子の電位が、常に高くなるような逆相の差動出力信号SCP1、SCP2を出力する。さらに、ループフィルタ4は差動出力信号SCP1、SCP2をフィルタリングし、ループフィルタ出力の差動信号SLPF1、SLPF2を電圧制御発振器5の制御電圧とする。

【0009】このように、図1のブロック図のような構成をとることで、従来のPLL回路とは異なり、PLL回路として、すべての電圧信号経路を差動電圧信号で受け渡すため、本PLL回路が移動体通信端末等の無線部分を構成する場合、大電流動作をする回路と本PLL回路とが、同一基板上に実装される場合においても、電力増幅器の起ち上がり時におけるグランド、電源に対する電圧変動や、アンテナから輻射された電磁波により受ける電磁界干渉の影響は、伝達信号に対して同相で及ぼされるため、差動信号で見た場合、その影響はキャンセルされる。

【0010】つまり、外乱からの同相ノイズに対して、本発明のPLL回路では、その影響をキャンセルすることを可能とする。

(第2の実施の形態) 図2は、本発明にかかる第2の実施の形態における電圧制御発振器を示す回路図である。図2において、17、18はそれぞれ第1、第2の発振用トランジスタ、31、32はそれぞれ第1、第2のバッファアンプ用トランジスタ、8、9、13、14、15、16、19はそれぞれ第1、第2、第3、第4、第5、第6、第7のコンデンサ、55、56、25、2

6、39はそれぞれ第1、第2、第3、第4、第5のバイパスコンデンサ、29、30、37、38はそれぞれ第1、第2、第3、第4の結合コンデンサ、21、22、35、36はそれぞれ第1、第2、第3、第4の高周波チョーク、7はバラクタダイオード、57、58はそれぞれチョークコイルとしての第1、第2のバラクタダイオードバイアスチョーク、10は共振用インダクタ、11、12、23、24、27、28、33、34は、それぞれ第1、第2、第3、第4、第5、第6、第7、第8のバイアス用抵抗、40は、バイアス用直流電圧源、43、44、45、46、47、48、49、50、51、52はそれぞれ、第1、第2、第3、第4、第5、第6、第7、第8、第9、第10のグランド端子、53、54は第1、第2の入力端子、41、42は、第1、第2の出力端子である。

【0011】以上のような構成の本実施の形態におけるPLL回路は次のように動作する。図2において、発振用トランジスタ17、18は、発振周波数帯において十分インピーダンスの低いコンデンサ19を介して、各々ベース端子が接続されている。コンデンサ15、16は、コレクターエミッタ間容量素子として、それぞれ各発振特性が最適となる素子値が選ばれ各々トランジスタ17、18に接続されている。コンデンサ20は、トランジスタ17および18のエミッタ間に接続されており、同様に各発振特性が最適になる素子値を選ぶ。

【0012】さらに共振用インダクタ10の中点においては、等価的にグランドとの短絡点となるため、コンデンサ13を介して、共振用インダクタ10は、誘導性素子として発振用トランジスタ17のコレクターベース間に等価的に接続されており、同様にコンデンサ14を介して共振用インダクタ10は、誘導性素子として発振器用トランジスタ18のコレクターベース間に等価的に接続されている。

【0013】また、バラクタダイオード7はバラクタダイオード結合コンデンサ8、9を介して、共振用インダクタ10に接続されている。さらに、チューニング電圧端子53、54からバラクタダイオードバイアスチョーク57、58を介し、それぞれバラクタダイオード7のカソード、アノードに差動電圧を加えることにより、バラクタダイオード7の容量値が変化し、発振周波数の可変を行なうことができる。

【0014】このように、図2の回路では、2つのベース接地クラップ型発振回路が、180度の位相差を持ちながら発振動作を行ない、その出力は、発振用トランジスタ17、18のエミッタからそれぞれ結合コンデンサ29、30を介してバッファアンプ用トランジスタ31、32のベースに入力し、増幅信号をそれぞれコレクタより結合コンデンサ37、38を介して、両者の差動信号として、出力端子41、42間から取り出される。このように、本実施の形態における電圧制御発振器は、

従来のPLL回路における電圧制御発振器と異なり、入力制御電圧を差動信号で与え、出力信号を差動信号として受渡すことを可能とし、外乱からの同相ノイズに対して、本発明のPLL回路では、影響をキャンセルすることを可能とする。

【0015】さらに、本実施の形態における電圧制御発振器は、2つのベース接地クラップ型発振回路が、180度の位相差を持ちながら発振動作を行なっているため、発振回路のQ値は、半回路による値、つまり片側の10ベース接地クラップ型発振回路の値に等しくなる。

【0016】バラクタダイオードに付加する直列抵抗成分について、図3、さらには図4の様に書くことが可能であり、この図3における直列抵抗60の抵抗値RS1と図4における直列抵抗62、63の抵抗値RS2にはRS1=2×RS2という関係がある。

【0017】図5に示した従来の電圧制御発振器について、図2で付した番号と同一のものは、同一名称、同一機能であり説明を省略する。図5に示される従来の電圧制御発振器のバラクタダイオード7に付加する直列抵抗成分が、本実施の形態における電圧制御発振器の半回路におけるバラクタダイオードに付加する直列抵抗成分に対して2倍の大きさの抵抗値を持つことになり、発振器のQ値としては、本実施の形態における電圧制御発振器は従来の電圧制御発振器のQ値よりも高くなり、発振特性の向上を可能とする。

(第3の実施の形態) 図6は、本発明にかかる第3の実施の形態における電圧制御発振器を示す回路図である。図6において、17、18はそれぞれ第1、第2の発振用トランジスタ、31、32はそれぞれ第1、第2のバ30ッファアンプ用トランジスタ、8、9、13、14、15、16、20はそれぞれ第1、第2、第3、第4、第5、第6、第7のコンデンサ、55、56、25、26、39はそれぞれ第1、第2、第3、第4、第5のバイパスコンデンサ、29、30、37、38はそれぞれ第1、第2、第3、第4のキャパシタとしての結合コンデンサ、35、36はそれぞれ第1、第2の高周波チョーク、7はバラクタダイオード、57、58はそれぞれチョークコイルとしての第1、第2のバラクタダイオードバイアスチョーク、10は共振用インダクタ、11、12、23、24、27、28、33、34はそれぞれ第1、第2、第3、第4、第5、第6、第7、第8のバイアス用抵抗、40はバイアス用直流電圧源、43、44、45、46、47、48、49、50、51、52はそれぞれ第1、第2、第3、第4、第5、第6、第7、第8、第9、第10のグランド端子、53、54は第1、第2のチューニング電圧入力端子、41、42は第1、第2の出力端子である。

【0018】以上のような構成の本第3の実施の形態におけるPLL回路は次のように動作する。

50 【0019】図6において、発振用トランジスタ17、

18は、各発振特性が発振周波数帯において最適値となるコンデンサ20を介して、各々エミッタ端子が接続されている。また、コンデンサ15、16は、ベースーエミッタ間容量素子として、それぞれ各発振特性が最適となる素子値が選ばれ、各々トランジスタ17、18に接続されている。さらに共振用インダクタ10の中点においては、等価的にグランドとの短絡点となるため、コンデンサ13を介して、共振用インダクタ10は、誘導性素子として発振用トランジスタ17のコレクターベース間に等価的に接続されている。

【0020】また、バラクタダイオード7はバラクタダイオード結合コンデンサ8、9を介して、共振用インダクタ10に接続されている。さらに、チューニング電圧入力端子53、54からバラクタダイオードバイアスチャヨーク57、58を介し、それぞれバラクタダイオード7のカソード、アノードに差動電圧を加えることにより、バラクタダイオード7の容量値が変化し、発振周波数の可変を行なうことができる。

【0021】このように、図6の回路では、2つのコレクタ接地クラップ型発振回路が、180度の位相差を持ちながら発振動作を行ない、その出力は、発振用トランジスタ17、18のエミッタからそれぞれ結合コンデンサ29、30を介してバッファアンプ用トランジスタ31、32のベースに入力し、增幅信号をそれぞれコレクタより結合コンデンサ37、38を介して、両者の差動信号として、出力端子41、42間から取り出される。

【0022】このように、本実施の形態における電圧制御発振器は、従来のPLL回路における電圧制御発振器と異なり、制御電圧を差動信号で与えることで入出力差動信号での受渡しを可能とし、外乱からの同相ノイズに対して、本発明のPLL回路では、影響をキャンセルすることを可能とする。

【0023】さらに、2つのコレクタ接地クラップ型発振回路を用いる構成で、1つのバラクタダイオードにて電圧制御することで、1つのコレクタ接地クラップ型発振回路当たりのバラクタダイオードは半分となり、バラクタダイオードに付加する直列抵抗成分を半分とすることで、発振特性の向上を可能と共に、部品点数削減を可能とし、小型化を可能とする。

(第4の実施の形態) 図7は、本発明にかかる第4の実施の形態におけるループフィルタを示す回路図である。図7において、71、73、77、72、74、78は第1、第2、第3、第4、第5、第6の抵抗、75、79、76、80は第1、第2、第3、第4のコンデンサ、85、86、87、88は第1、第2、第3、第4のグランド端子、81、82は第1、第2の入力端子、83、84は、第1、第2の出力端子である。

【0024】以上のような構成の本実施の形態におけるループフィルタは次のように動作する。

【0025】図7において、抵抗71の一方の端子に抵抗73、77の一方の端子を接続し、抵抗73の他方の端子にコンデンサ75を介して、グランド端子85と接続する。また、抵抗77の他方の端子にコンデンサ79を介してグランド端子87と接続する。抵抗71の他方の端子を第1の入力端子81とし、抵抗77の他方の端子を第1の出力端子83とする。同様にして、抵抗72の一方の端子に抵抗74、78の一方の端子を接続し、抵抗74の他方の端子にコンデンサ76を介して、グランド端子86と接続する。また、抵抗78の他方の端子にコンデンサ80を介してグランド端子88と接続する。抵抗72の他方の端子を第2の入力端子82とし、抵抗78の他方の端子を第2の出力端子84とする。第1、第2の入力端子81、82から、チャージポンプ出力である位相差情報信号を入力し、第1、第2の出力端子83、84から、電圧制御発振器に制御電圧を与える。

【0026】このように、本実施の形態におけるループフィルタは、従来のループフィルタと異なり、従来のループフィルタ回路を2つ接続することで、入力および出力信号を差動電圧信号で受け渡すことを可能とし、外乱からの同相ノイズに対して影響をキャンセルすることを可能とする。

(第5の実施の形態) 図8は、本発明にかかる第5の実施の形態におけるループフィルタを示す回路図である。図8において、71、73、77、72、74、78は第1、第2、第3、第4、第5、第6の抵抗、89、90は第1、第2のコンデンサ、81、82は第1、第2の入力端子、83、84は第1、第2の出力端子である。

【0027】以上のような構成の本実施の形態におけるループフィルタは次のように動作する。

【0028】図8において、抵抗71の一方の端子に抵抗73、77の一方の端子を接続し、抵抗72の一方の端子に抵抗74、78の一方の端子を接続し、コンデンサ89を介して、抵抗73、74の他方の端子を接続する。さらに、抵抗71、73の接続部に抵抗77の一方の端子を接続し、抵抗72、74の接続部に抵抗78の一方の端子を接続し、抵抗77、78の他方の端子間をコンデンサ90を介して接続し、コンデンサ90の両端子を出力端子83、84とする。また、抵抗71、72の他方の端子を入力端子81、82とする。

【0029】第1、第2の入力端子81、82から、チャージポンプ出力である位相差情報信号を入力し、第1、第2の出力端子83、84から、電圧制御発振器に制御電圧を与える。

【0030】このように、本実施の形態におけるループフィルタは、従来のループフィルタと異なり、従来のル

ープフィルタ回路を2つ接続し、さらにグランド端子を互いに接続することで、グランド端子を排除した構成で、入力および出力信号を差動電圧信号で受け渡すことを可能とし、外乱からの同相ノイズに対して、影響をキャンセルすることを可能とする。

【0031】さらに、回路からグランド端子を排除することにより、グランド電位の影響を無視することを可能とするとともに、部品点数削減による回路の小型化を可能とする。

(第6の実施の形態) 図9は、本発明にかかる第6の実施の形態におけるチャージポンプを示す回路図である。図9において、91、92、93、94は第1、第2、第3、第4のトランジスタで、95、96は、第1、第2のバイアス用抵抗、97、98は第1、第2の入力端子、99、100は第1、第2の出力端子、101、102は第1、第2のグランド端子、103はバイアス用直流電源端子である。

【0032】以上のような構成の本実施の形態におけるチャージポンプは次のように動作する。

【0033】トランジスタ91のエミッタをトランジスタ92のコレクタに接続し、トランジスタ92のエミッタをトランジスタ93のコレクタに接続し、トランジスタ93のエミッタをトランジスタ94のコレクタに接続し、トランジスタ94のエミッタをグランド端子101に接続する。また、トランジスタ91のコレクタとトランジスタ93のコレクタ間にバイアス用抵抗95を接続し、トランジスタ93のコレクタとグランド端子102間にバイアス用抵抗96を接続する。さらに、トランジスタ91のベースとトランジスタ94のベースを接続し、そのトランジスタ91のベース端子を入力端子97とし、トランジスタ92のベースとトランジスタ93のベースを接続し、そのトランジスタ93のベース端子を入力端子98とする。また、トランジスタ91のエミッタ端子を出力端子99とし、トランジスタ93のエミッタ端子を出力端子100とする。

【0034】第1の入力端子97から、位相比較器による位相の進みもしくは遅れ情報が入力され、第1、第4のトランジスタ91、94が活性状態となり、それぞれトランジスタに電流を流す。すなわち第1の出力端子99には、正の電位変化を生じ、第2の出力端子100には、負の電位変化を生じる。同様に、第2の入力端子98から、位相比較器による位相の進みもしくは遅れ情報が入力された時、第2、第3のトランジスタ92、93が活性状態となり、それぞれトランジスタに電流を流す。すなわち第1の出力端子99には、負の電位変化を生じ、第2の出力端子100には、正の電位変化を生じる。また、第1、第2の抵抗95、96の抵抗値を等しくすることで、バイアス用直流電源端子103にかける電圧の半分の値が、第3のトランジスタ93のコレクタにかかり、第1の出力端子99および第2の出力端子1

00に出力される信号は、互いに位相が逆相で、第1の出力端子99の電位より必ず第2の出力端子100の電位の方が小さくなり、図10に示すような信号が出力される。

【0035】図10において、104は第1の出力端子99の出力信号、105は第2の出力端子100の出力信号を表している。

【0036】このように、本実施の形態におけるチャージポンプは、従来のPLL回路におけるチャージポンプと異なり、従来のチャージポンプを2つ縦続接続し、位相比較器からの位相の進み／遅れ信号に対し、出力信号を互いに位相が逆相の差動電圧信号で出力することで、外乱からの同相ノイズに対する影響をキャンセルすることを可能とする。

【0037】なお、上記実施の形態では、バイポーラ型のトランジスタを用いた構成としたが、バイポーラトランジスタを用いる代わりに、図11に示すように、電界効果トランジスタ106、107、108、109を用い、それぞれ、トランジスタのベースを電界効果トランジスタのゲート、トランジスタのコレクタを電界効果トランジスタのドレイン、トランジスタのエミッタを電界効果トランジスタのソースに置き換えることで、同様の効果が得られる。

#### 【0038】

【発明の効果】以上述べたところから明らかなように本発明は、入出力を差動信号で受け渡すことが可能なチャージポンプ、ループフィルタ、電圧制御発振器によりPLL回路を構成するので、従来のグランド電位に対する電圧信号での情報の受け渡しに対して、差動信号にて受け渡すことができ、グランドや電源の電位変化に伴うノイズや、アンテナの輻射電磁波による電磁界干渉に対する同相のノイズの影響をキャンセルすることを可能とするという長所を有する。

#### 【図面の簡単な説明】

【図1】本発明にかかる第1の実施の形態におけるPLL回路のブロック図である。

【図2】本発明にかかる第2の実施の形態におけるPLL回路の電圧制御発振器の回路図である。

【図3】上記第2の実施の形態におけるバラクタダイオードの等価回路図である。

【図4】上記第2の実施の形態におけるバラクタダイオードの等価回路図である。

【図5】上記第2の実施の形態における電圧制御発振器と比較するための従来のPLL回路における電圧制御発振器の回路図である。

【図6】本発明にかかる第3の実施の形態におけるPLL回路の電圧制御発振器の回路図である。

【図7】本発明にかかる第4の実施の形態におけるPLL回路のループフィルタの回路図である。

【図8】本発明にかかる第5の実施の形態におけるPLL

L回路のループフィルタの回路図である。

【図9】本発明にかかる第6の実施の形態におけるPL回路のチャージポンプの回路図である。

【図10】上記第6の実施の形態におけるPLL回路のチャージポンプの出力信号のグラフである。

【図11】上記第6の実施の形態におけるPLL回路のチャージポンプの回路図である。

【図12】従来のチャージポンプ、ループフィルタ、電圧制御発振器を用いたPLL回路のブロック図である。

【符号の説明】

1 基準信号発生装置

2 位相比較器

3、110 チャージポンプ

4、111 ループフィルタ

5、112 電圧制御発振器

6、113 分周器

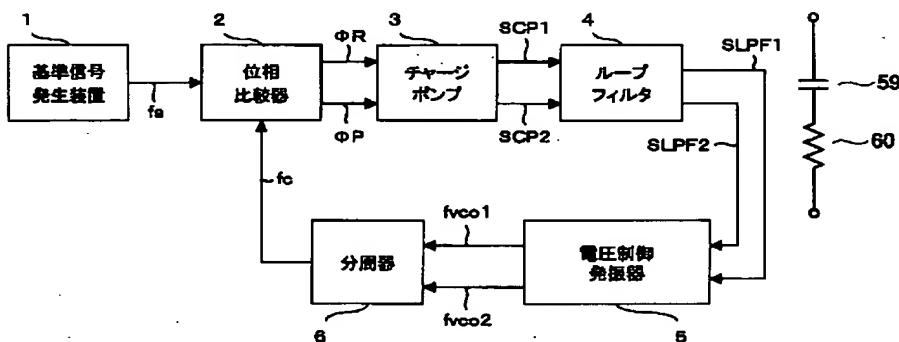
7 バラクタダイオード

10 共振用インダクタ

17、18 発振用トランジスタ

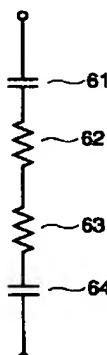
10 31、32 バッファアンプ用トランジスタ

【図1】

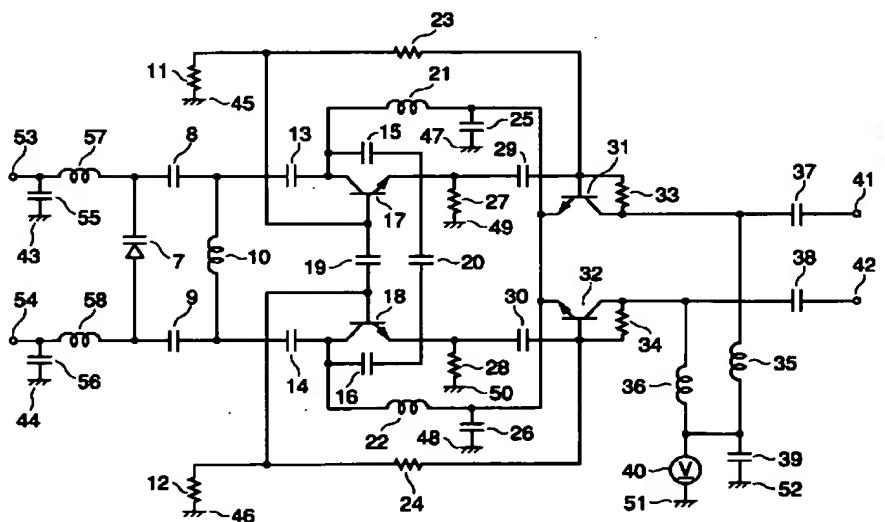


【図3】

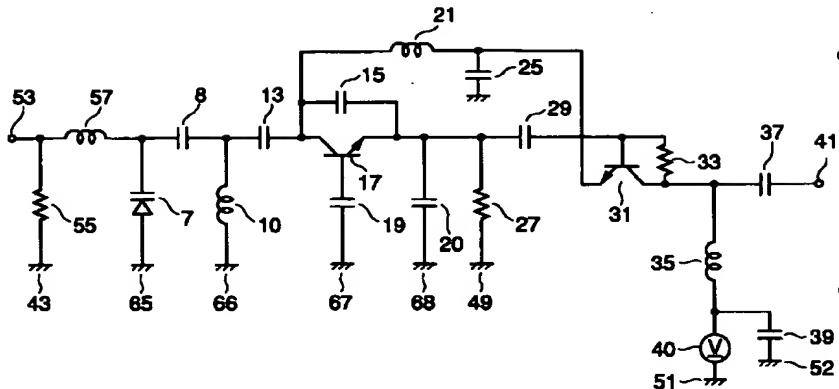
【図4】



【図2】

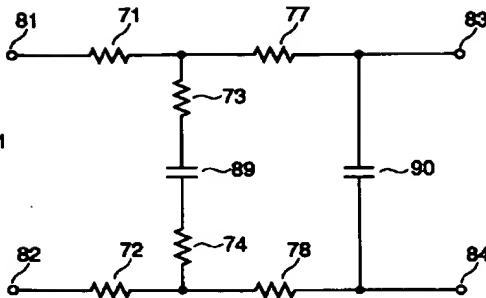


[图 5]



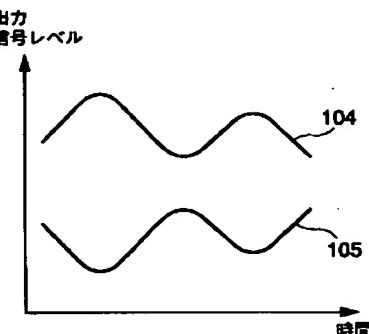
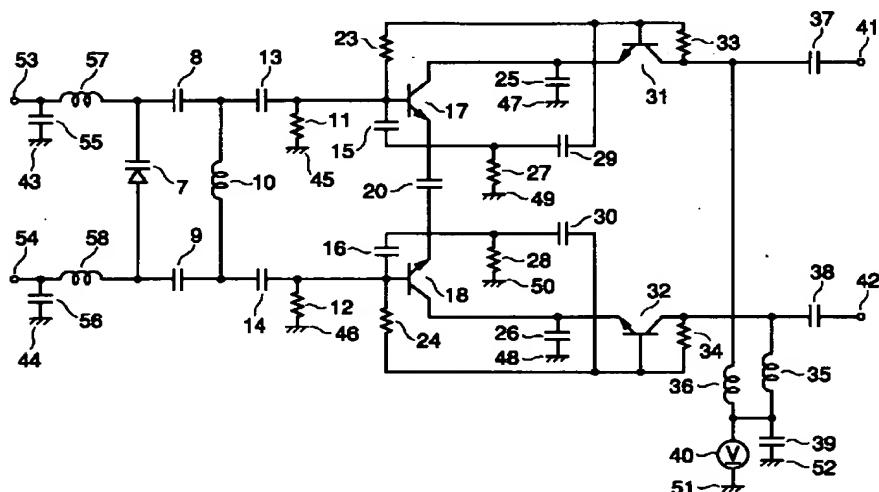
従来のVCO

[ 四 8 ]

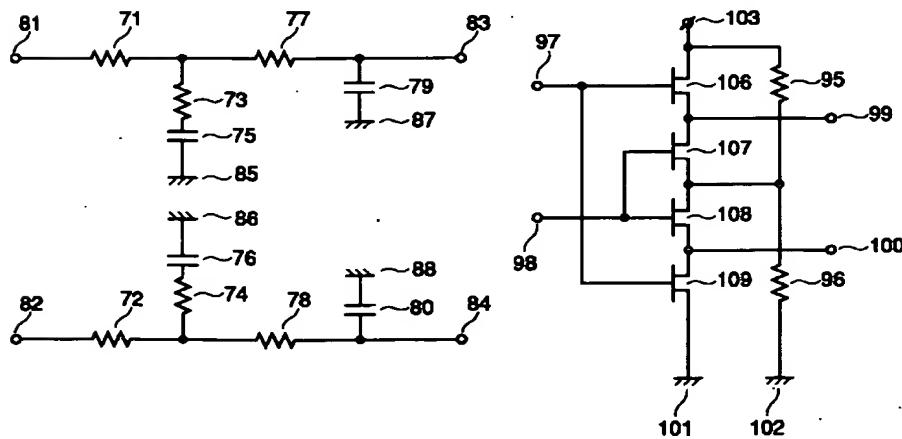


〔四一〇〕

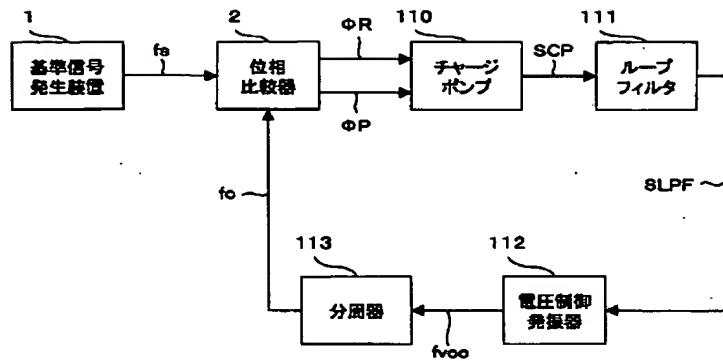
( 6)



[ 7 ]



【図12】



フロントページの続き

(72)発明者 安藤 敏晃  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内

(72)発明者 石田 薫  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内

F ターム(参考) 5J106 AA04 BB01 CC01 CC21 CC41  
 CC52 DD32 JJ01 JJ04 JJ08  
 KK05 KK23 KK27 LL00 LL01  
 LL04